 **به نام خداوند بخشنده و مهربان**

**دانشگاه تهران**

**دانشكده­ي مهندسي برق وكامپيوتر**

**معماري كامپيوتر، بهار 1391**

**تمرين شماره­ي2- موعد تحویل: 1391/03/12**

**تمرین خود را تا پایان روز در باکس استاد قرار دهید**

قسمت اول: pipeline

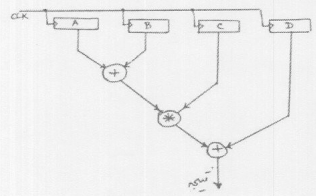
1. می­خواهیم (A+B)\*C+D را هم به صورت تک مرحله­ای و هم به صورت پایپ­لاین محاسبه کنیم. شکل زیر طرحی برای محاسبه­ی تک مرحله­ای را نشان می­دهد.

الف)ساختار پایپ­لاین برای این واحد محاسباتی را رسم کنید.

ب)در صورتی که تاخیر رجیسترها 5ns، جمع کننده­ها 20ns و ضرب کننده­45ns باشد، برای محاسبه­ی 100 نمونه­ی مختلف A,B,C,D تسریع ساختار پایپ­لاین را نسبت به تک مرحله­ای به دست آورید.(فرض کنید hazard نداریم)

ج)کد توصیف سخت افزاری مربوط به پیاده سازی پایپ­لاین را بنویسید.(امتیازی)

(راهنمایی: برای هر stage یک always استفاده کنید.)



1. فرض کنید یک خط لوله(pipeline) چهار بندی (stage) داشته باشیم که تاخیر بندها به ترتیب برابر 50،60،90، 80 نانوثانیه می­باشد. اگر تاخیر ثبات (register) 10 نانوثانیه باشد:

الف) حداقل پریود کلاک

ج) حداقل پریود کلاک بدون پایپ

د) حداکثر تسریع این خط لوله نسبت به اجرای غیر لوله ای را محاسبه کنید.

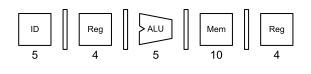
1. فرض کنید یک خط­لوله­ی سه ایستگاهی داریم با پریود کلاک T داریم. در صورتی که 30 درصد از دستوراتی که وارد پایپ می­شوند، پرش باشند، تسریع را در حالات زیر برای تعداد زیاد دستور حساب کنید:

الف) افزایش تعداد ایستگاه­ها به چهار با طول کلاک 0.9T

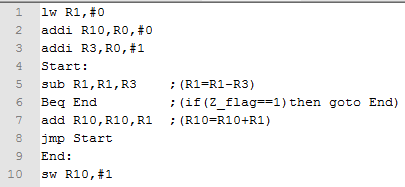
ب)اضافه کردن قابلیت branch prediction و 1.5 برابر شدن طول کلاک

1. شکل زیر یک پردازنده­ی پایپ­لاین **آسنکرون** با پنج مرحله را نشان می­دهد. دستورات 1و2و3 به ترتیب وارد پایپ می­شوند. زمانی که دستور سوم از پایپ خارج می­شود را حساب کنید.

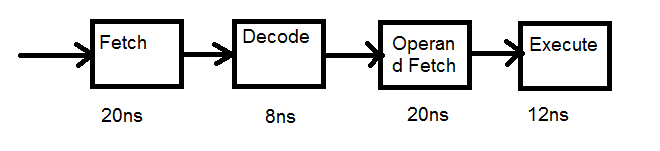
|  |  |
| --- | --- |
| خصوصیات | دستورها |
| ID-Reg-ALU-Mem-Reg | دستور­ 1 |
| ID-Reg-ALU-Reg | دستور 2 |
| ID-Reg-ALU-Mem-Reg | دستور 3 |



1. در یک پردازنده­ی پایپ­لاین با 5 مرحله و طول کلاک 2ns می­خواهیم دستورات زیر را اجرا کنیم.با فرض مقدار 100 در خانه­ی اول حافظه، زمان اجرای برنامه چقدر است؟(بعد از ورود دستور پرششرطی پایپ­لاین متوقف شده تا دستور پرش کامل شود)



1. یک پردازنده را با پايپ لاين 5 مرحله اي (IF, ID, EX, MEM, WB)و با طول کلاک 2ns در نظر بگيريد. فرض کنيد در اين پردازنده با هر Fetch 3 دستور وارد پردازنده مي شود و پایپ به صورتی طراحی شده­است که توانایی اجرای دو دستور هم­زمان را دارد. زمان اجرا براي 300 دستور در اين پردازنده چقدر است؟
2. به فرض داشتن یک خط لوله 4 سطحی برای دستورات در یک پردازنده، اگر در یک برنامه به طور متوسط در هر 10 دستور یک پرش وجود این داشته باشد و به احتمال 50% پرش انجام شود. حداکثر تسریع به دست آمده برای اجرای این برنامه نسبت به زمانی که پردازنده­ی تک مرحله­ای داشته­باشیم در مدت طولانی اجرای برنامه چقدر خواهد بود؟



قسمت دوم: cache/IO

1. تعداد بیت­های مورد نیاز برای پیاده سازی یک direct map cache با گنجایش 16KB داده و بلاک­هایی با اندازه­ی 2 کلمه(هر کلمه 4 بایت) و آدرس­های 32 بیتی چقدر است؟ برای این cache چند درصد سربار پرداخت می­شود؟
2. یک باس 32 بیتی آسنکرون برای انتقال داده را در نظر بگیرید. در صورتی که هر handshake20ns زمان ببرد و زمان خواندن و یا نوشتن 32 بیت داده در حافظه برابر 100ns باشد، پهنای باند این باس را بر حسب بدست آورید. Handshaking با توجه به شکل زیر انجام می­گیرد.

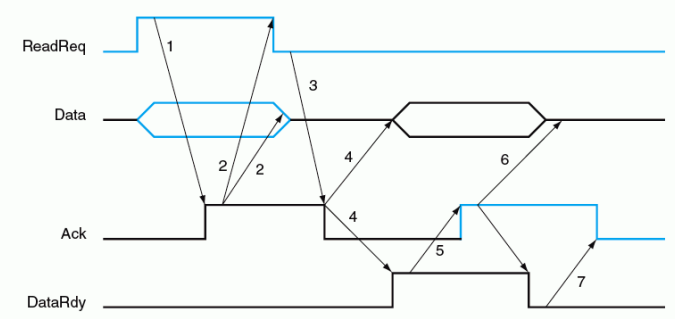


Figure1:handshaking protocol[Computer Organization and Design, 3rd,Morgan Kaufman, page584]

1. Cache یک سیستم از نوع set-associative می­باشد. اگر تعداد مجموعه­های 4 بلوکی cache این سیستم 32 باشد و تعداد بلوک­های حافظه­ی اصلی 1K برابر cache باشد، تعداد بیت­های tag چقدر است؟
2. در یک سیستم، CPI بدون در نظر گرفتن تاخیر حافظه(memory stall) برابر 1.5CC می­باشد. در صورتی که miss rate برای دستور برابر 2% و برای داده 3% و miss penalty100CCباشد، برای مجموعه دستوراتی که 30% آنها را دستورات دسترسی به حافظه(load و store) تشکیل می­دهد،(راهنمایی: مثال صفحه­ی 477 کتاب مطالعه شود.)

الف) CPI را به­ دست­ آورید.

ب) اگر clock rate را دو برابر کنیم و با فرض ثابت ماندن سرعت دسترسی به حافظه، کارایی(performance) سیستم چند برابر می­شود؟

1. یک DMA و یک دستگاه جانبی با مشخصات زیر را در نظر بگیرید. میزان تسریع سیستم با پردازنده 500MHZ را در حالتی که از DMA استفاده می­شود و در حالتی که از روش اینتراپت استفاده می­شود را حساب کنید.

-روتین سرویس اینتراپت: 500CC

- سرعت انتقال از دستگاه جانبی در هر دسترسی پردازنده: 16 Byte/CC

-متوسط حجم داده منتقل شده در هر بار تنظیم DMA: 8KB

-دستگاه جانبی در 40% مواقع داده برای ارسال دارد.

-پهنای باند دستگاه جانبی 4MB/sec

1. سیستمی را در نظر بگیرید که یک حافظه 1GB و یک Cache4Kbyte دارد. فرض کنید که این cache به صورت 4-way set associative با 4 بلاک در ست و 64 بایت در هر بلاک باشد.

الف) تعداد بیت ها در Tag, Set Index و byte offset را بیابید.

ب) فرض کنید که cache در ابتدا خالی باشد. اگر پردازنده 4352 بایت پشت سرهم را از آدرس صفر مموری Fetch کند و این کار در مجموع با بار اول 10 بار تکرار شود، در صورت استفاده از الگوریتم LRU، hit rate چقدر میشود؟

1. حافظه‌ي اصلي داراي حجم 2MB است. حافظه cache از نوع نگاشت مستقيم داراي حجم 16KB مي‌باشد. بلوك­هاي حافظه 16B است. خواندن از حافظه نهان يك نانو‌ثانيه طول مي‌كشد و خواندن هر بلوك از حافظه اصلي به چهل نانو ثانيه نياز دارد. رشته‌ آدرس‌هاي زير توسط پردازنده خوانده مي­شود و ابتدا حافظه نهان تهي است. متوسط زمان دستيابي به رشته آدرس‌هاي فوق چند نانوثانيه است؟

01000H, 01001H, 01002H, 59000H, 5900FH, 01003H, 56780H, 56778FH, 56790H, 56791H

موفق باشید